



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001345325 A**(43) Date of publication of application: **14.12.01**

(51) Int. Cl. **H01L 21/3205**
H01L 21/304

(21) Application number: **2000166219**(71) Applicant: **NEC KYUSHU LTD**(22) Date of filing: **02.06.00**(72) Inventor: **MITSUYA SACHIKO**

(54) **WIRING FORMATION METHOD OF SEMICONDUCTOR DEVICE**

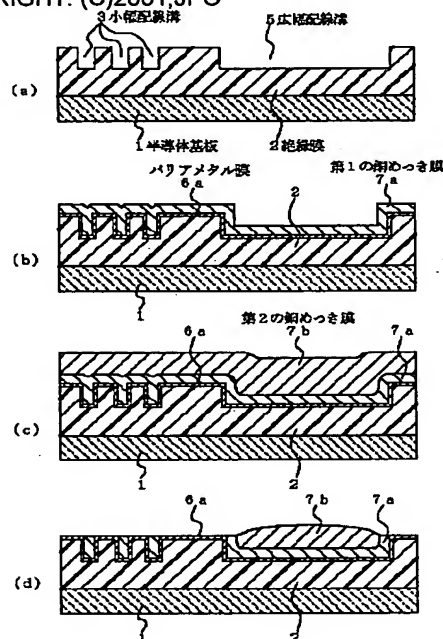
copper-plated film 7b, thus inhibiting the dishing of wide wiring in CMP polishing.

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a wiring formation method inhibiting generation of erosion at a region where the dishing of wide wiring and concentration of wiring in the formation of copper-family groove wiring by the chemical mechanical polishing method (CMP polishing method).

SOLUTION: A barrier metal film 6a and a plated seed film are successively formed on an entire surface including a first wiring groove 3 that is formed at an insulating film 2 on a semiconductor substrate 1 and a second wiring groove 5 that is wider than the wiring groove 3, and a first copper-plated film 7a is electrically plated for heat treatment. Then, after a second copper-plated film 7b is electrically plated onto the first copper-plated film 7a, polishing is made until the surface of the insulating film 2 is exposed by the CMP polishing method, thus forming groove wiring at the first wiring groove 3 and the second wiring groove 5. The first copper-plated film 7a is recrystallized by heat treatment and its hardness decreases, and a polishing speed becomes faster than that of the second

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-345325

(P 2 0 0 1 - 3 4 5 3 2 5 A)

(43)公開日 平成13年12月14日(2001.12.14)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/3205		H01L 21/304	622 N 5F033
21/304	622		622 X
		21/88	K
			R

審査請求 未請求 請求項の数 8 O L (全 6 頁)

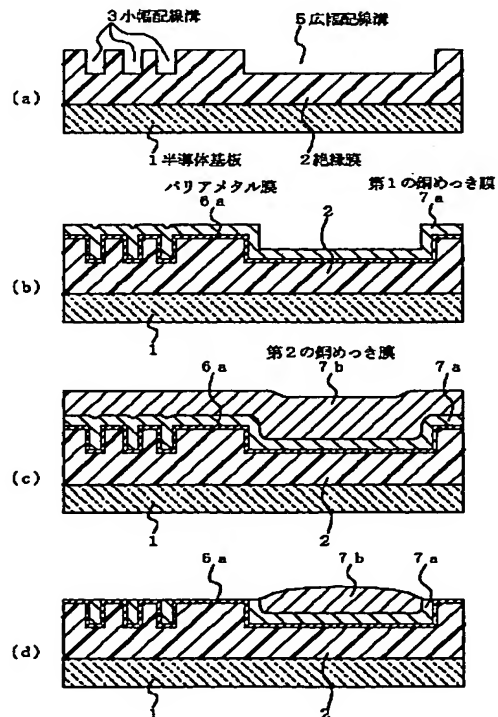
(21)出願番号	特願2000-166219(P 2000-166219)	(71)出願人	000164450 九州日本電気株式会社 熊本県熊本市八幡一丁目 1 番 1 号
(22)出願日	平成12年 6 月 2 日(2000.6.2)	(72)発明者	三津家 祥子 熊本県熊本市八幡一丁目 1 番一 号 九州日本電気株式会社内
		(74)代理人	100082935 弁理士 京本 直樹 (外 2 名)
		F ターム(参考)	5F033 HH11 HH13 HH14 HH21 HH32 HH33 MM01 MM08 MM12 MM13 MM29 PP15 PP27 PP33 QQ08 QQ09 QQ10 QQ19 QQ48 QQ73 QQ82 QQ83 QQ85 RR04 RR06 WW03 XX00 XX05

(54)【発明の名称】 半導体装置の配線形成方法

(57)【要約】

【課題】化学機械研磨法 (CMP 研磨法) による銅系溝配線形成における広幅配線のディッシングや配線の密集する領域のエロージョン発生を抑制した配線形成方法を提供する。

【解決手段】半導体基板 1 上の絶縁膜 2 に形成された第 1 の配線溝 3 と該配線溝よりも幅広の第 2 の配線溝 5 を含む全面にバリアメタル膜 6 a、めっきシード膜を順次形成した後、第 1 の銅めっき膜 7 a を電気めっきして、熱処理する。次いで、第 1 の銅めっき膜 7 a 上に第 2 の銅めっき膜 7 b を電気めっきした後、CMP 研磨法で絶縁膜 2 の表面が露出するまで研磨して第 1 の配線溝 3 および第 2 の配線溝 5 に溝配線を形成する。第 1 の銅めっき膜 7 a が熱処理により再結晶化して硬度が減少し、第 2 の銅めっき膜 7 b よりも研磨速度が大きくなり、CMP 研磨における広幅配線のディッシングが抑制できる。



【特許請求の範囲】

【請求項 1】 半導体基板上の絶縁膜に第 1 の配線溝と該第 1 の配線溝よりも幅広の第 2 の配線溝を形成する工程と、前記第 1 の配線溝および前記第 2 の配線溝を含む前記絶縁膜表面に第 1 のバリア膜を被覆する工程と、前記第 1 のバリア膜表面にめっきシード膜を形成した後、該めっきシード膜表面に第 1 の銅めっき膜を電気めっきする工程と、前記第 1 の銅めっき膜を熱処理して再結晶化する工程と、前記第 1 の銅めっき膜上に第 2 の銅めっき膜を前記第 1 および第 2 の配線溝の表面よりも高くなる厚さに電気めっきする工程と、化学機械研磨法で前記絶縁膜の表面が露出するまで前記第 1 および第 2 の銅めっき膜の形成された前記半導体基板を研磨平滑化して前記第 1 および第 2 の配線溝に溝配線を形成する工程とを含むことを特徴とする半導体装置の配線形成方法。

【請求項 2】 半導体基板上の絶縁膜に第 1 の配線溝と該第 1 の配線溝よりも幅広の第 2 の配線溝を形成する工程と、前記第 1 の配線溝および前記第 2 の配線溝を含む前記絶縁膜表面に第 1 のバリア膜を被覆する工程と、前記第 1 のバリア膜表面にめっきシード膜を形成した後、該めっきシード膜表面に第 1 の銅めっき膜を電気めっきする工程と、前記第 1 の銅めっき膜を熱処理して再結晶化する工程と、前記第 1 の銅めっき膜上に第 2 の銅めっき膜を前記第 1 および第 2 の配線溝の表面よりも高くなる厚さに電気めっきする工程と、フォトリソグラフィ技術により前記第 1 のバリア膜を除く前記めっきシード膜、前記第 1 の銅めっき膜および前記第 2 の銅めっき膜をパターンニングして前記第 1 の配線溝および前記第 2 の配線溝に選択的に表面から突出した導電体膜パターンを形成する工程と、化学機械研磨法で前記絶縁膜の表面が露出するまで前記導電体膜パターンの形成された前記半導体基板を研磨平滑化して前記第 1 および第 2 の配線溝に溝配線を形成する工程とを含むことを特徴とする半導体装置の配線形成方法。

【請求項 3】 前記第 1 のバリア膜として Ta 膜、Ta_xN_y膜、Ta/Ta_xN_y積層膜（但し Ta_xN_yが下層）または TiN 膜を使用する請求項 1 または 2 記載の半導体装置の配線形成方法。

【請求項 4】 前記めっきシード膜に Cu、Au または Ag を使用することを特徴とする請求項 1 または 2 記載の半導体装置の配線形成方法。

【請求項 5】 前記第 1 および前記第 2 の銅めっき膜の電気めっきに硫酸酸性硫酸銅めっき液を使用することを特徴とする請求項 1 または 2 記載の半導体装置の配線形成方法。

【請求項 6】 前記第 1 の銅めっき膜の前記熱処理の温度が 120℃以上であることを特徴とする請求項 1 または 2 記載の半導体装置の配線形成方法。

【請求項 7】 前記第 1 の銅めっき膜の前記熱処理が真空中または不活性ガス中で行われることを特徴とする請

求項 1、2 または 6 記載の半導体装置の配線形成方法。

【請求項 8】 請求項 1 または 2 記載の半導体装置の配線形成方法において、前記化学機械研磨法で前記絶縁膜の表面が露出するまで前記第 1 および第 2 の銅めっき膜の形成された前記半導体基板を研磨平滑化して前記第 1 および第 2 の配線溝に溝配線を形成する工程の後、さらに前記溝配線表面に第 2 のバリア膜を形成する工程を含むことを特徴とする半導体装置の配線形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の配線形成方法に関し、特に配線溝に導電体を充填後、化学機械研磨（Chemical—Mechanical—Polish、以下、CMP という）法によって研磨して埋込み配線（溝配線）を形成する場合に、CMP 研磨による広幅配線のディッシングや小幅配線密度が高い領域のエロージョンを低減した半導体装置の配線形成方法に関するものである。

【0002】

【従来の技術】半導体装置の高集積化によりその内部配線の微細化技術の開発が重要な課題となっている。配線の微細化の方法の一つとして、半導体基板上の絶縁膜に溝を形成し、その溝に導電体層を埋め込む技術、所謂溝配線技術が検討されている。

【0003】配線材料としては、従来 Al 合金が使用されているが、配線の低抵抗化のために銅系配線材料も使用されるようになってきている。

【0004】銅系配線材料を使用した溝配線技術の例を図 5 を参照して説明する。まず、図 5（a）に示すように、あらかじめ素子（図示せず）が形成された半導体基板 1 上に二酸化シリコン（SiO₂）膜のような絶縁膜 2 を形成した後、この絶縁膜 2 に、露光と異方性ドライエッチングにより、小幅配線溝 3 と広幅配線溝 5 を形成する。小幅配線溝 3 の幅は例えば 0.2～0.5 μm、深さは 0.5 μm である。また、広幅配線溝 5 の幅は 10～50 μm で、深さは 0.5 μm である。

【0005】次に、絶縁膜 2 上に図 5（b）に示すように、高真空中において全面にスパッタリング法により TiN 膜 6（バリアメタル膜）を順次形成し、下地を形成する。続いて、高真空中において全面にスパッタリング法により、銅膜 7 を堆積する。さらに段差被覆性をよくするためにスパッタ装置内で温度 450℃で 30 分程度真空加熱処理される。

【0006】この後、CMP 研磨により、絶縁膜 2 の表面が露出するまで銅膜 7 および TiN 膜 6 を研磨し、小幅配線溝 3 および広幅配線溝 5 部分以外の部分に形成された銅膜 7 および TiN 膜 6 を除去する。これにより、図 5（c）に示すように、小幅配線溝 3 および広幅配線溝 5 の内部に、それぞれ溝配線 8 および 9 が形成される。

【0007】

10

20

30

40

50

【発明が解決しようとする課題】しかしながら、上述の従来の溝配線の形成方法には、次のような問題があった。即ち、従来の溝配線の形成方法では、小幅配線溝 3 および広幅配線溝 5 の部分以外の部分に形成された銅膜 7 を CMP 研磨して溝配線 8 および 9 を形成する際に、広幅配線溝 5 の溝配線 9 部分では、中央部の表面が周辺部の表面よりも低くなる、所謂ディッシングの問題が生じ、CMP 研磨工程に引き続き行われる平坦化や、組み立て工程でのワイヤーボンディングに大きな支障をきたすという問題があった。また、上記の従来技術では、小

幅溝配線領域が広範囲に続く場合にも、小幅溝配線領域で CMP 研磨時にエロージョンが生じやすい問題があった。これは、本来の銅系材料が持つ硬度がアルミに比べ軟らかい事で、CMP 前のウェハ表面には配線パターンとなる溝を反映した凹凸が金属膜の表面に生じて、CMP を行う場合にパターン密度に応じて局所に高い圧力がかかり、その部分の研磨速度が速くなるためである。

【0008】上記の CMP 研磨における幅広配線のディッシングの問題を解決する方法が特開平 1 1—1 6 5 2 5 3 号公報に開示されている。この技術では、小幅溝と

広幅溝に埋め込み配線を形成する際に、バリアメタル層 (TiN 膜) 形成し、銅 (Cu) 膜を堆積した後、Cu 膜をリフローする。次いで、銅イオンを含むスラリーで CMP 研磨を行う。その後 Cu 膜に負電圧を加えて CMP 研磨を行い、幅広溝における Cu 膜のディッシングを防止している。Cu 膜に銅イオンを含むスラリーで CMP 研磨した場合、ディッシングが生じた Cu 膜表面には Cu 膜が電気めつきされるために、ディッシングした箇所の Cu 膜がある程度の厚さに補強される効果が得られている。

【0009】しかしながら、この技術においては、CMP 研磨しながら Cu 膜が電気めつきされることになり、電気めつきで析出した Cu 膜中に研磨剤が混入される問題や電気めつきで析出する Cu 膜厚の制御が難しい問題がある。

【0010】上記の銅溝配線の CMP 研磨におけるディッシングを防止する他の方法が特開平 1 1—1 9 5 6 2 8 号公報に開示されている。この技術においては、CMP 研磨剤の砥粒濃度を 1 重量%未満に下げるとともに、CMP 研磨剤にベンゾトリアゾール等の防食剤を添加して銅の研磨速度を下げ銅配線にディッシングが発生することを抑制している。しかし、特開平 1 1—1 9 5 6 2 8 号公報の技術では研磨速度が低下する問題があった。

【0011】したがって、本発明の目的は、上記の銅系配線材料を使用した溝配線技術の問題点を解決し、CMP 研磨によるディッシングや配線の密集する領域のエロージョン発生を抑制し、かつ、高い製造歩留まりで製造することができる半導体装置の配線形成方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体装置の配線形成方法の第 1 の構成は、半導体基板上の絶縁膜に第 1 の配線溝と該第 1 の配線溝よりも幅広の第 2 の配線溝を形成する工程と、前記第 1 の配線溝および前記第 2 の配線溝を含む前記絶縁膜表面に第 1 のバリア膜を被覆する工程と、前記第 1 のバリア膜表面にめっきシード膜を形成した後、該めっきシード膜表面に第 1 の銅めっき膜を電気めつきする工程と、前記第 1 の銅めっき膜を熱処理して再結晶化する工程と、前記第 1 の銅めっき膜上に第 2 の銅めっき膜を前記第 1 および第 2 の配線溝の表面よりも高くなる厚さに電気めつきする工程と、化学機械研磨法で前記絶縁膜の表面が露出するまで前記第 1 および第 2 の銅めっき膜の形成された前記半導体基板を研磨平滑化して前記第 1 および第 2 の配線溝に溝配線を形成する工程とを含むことを特徴とする。

【0013】本発明の半導体装置の配線形成方法の第 2 の構成は、半導体基板上の絶縁膜に第 1 の配線溝と該第 1 の配線溝よりも幅広の第 2 の配線溝を形成する工程と、前記第 1 の配線溝および前記第 2 の配線溝を含む前記絶縁膜表面に第 1 のバリア膜を被覆する工程と、前記第 1 のバリア膜表面にめっきシード膜を形成した後、該めっきシード膜表面に第 1 の銅めっき膜を電気めつきする工程と、前記第 1 の銅めっき膜を熱処理して再結晶化する工程と、前記第 1 の銅めっき膜上に第 2 の銅めっき膜を前記第 1 および第 2 の配線溝の表面よりも高くなる厚さに電気めつきする工程と、フォトリソグラフィ技術により前記第 1 のバリア膜を除く前記めっきシード膜、前記第 1 の銅めっき膜および前記第 2 の銅めっき膜をパターンニングして前記第 1 の配線溝および前記第 2 の配線溝に選択的に表面から突出した導電体膜パターンを形成する工程と、化学機械研磨法で前記絶縁膜の表面が露出するまで前記導電体膜パターンの形成された前記半導体基板を研磨平滑化して前記第 1 および第 2 の配線溝に溝配線を形成する工程とを含むことを特徴とする。

【0014】上記の本発明の第 1 および第 2 の構成における前記第 1 のバリア膜として Ta 膜、Ta₂N 膜、Ta/Ta₂N 積層膜 (但し Ta₂N が下層) または TiN 膜を使用することができ、また、前記めっきシード膜としては Cu、Au または Ag を使用することができる。

【0015】本発明においては、前記第 1 および前記第 2 の銅めっき膜は硫酸酸性硫酸銅めっき液を使用した電気めつきを使用することができる。前記第 1 の銅めっき膜形成後、温度 120℃以上で熱処理することにより、前記第 1 の銅めっき膜が再結晶化して硬度が減少する。

【0016】上記の本発明の第 1 の構成においては、前記第 1 の銅めっき膜は熱処理により硬度が減少しており、その上に形成した前記第 2 の銅めっき膜よりも硬度が小さく、その CMP 研磨速度は前記第 2 の銅めっき膜よりも大きくなる。その結果、前記第 1 の銅めっき膜が CMP 研磨で除去され、前記第 1 のバリア膜 (前記第 1

または第2の配線溝のトップの高さの位置にある)の表面がちょうど露出する時点では、広幅溝(前記第2の配線溝)上には前記第2の銅めっき膜を前記第1のバリア膜の表面高さよりも突出した状態に残すことができるために、続いて行うCMP研磨で前記第1のバリア膜を除去して電氣的に分離された前記溝配線を形成する際の前記第2の配線溝に形成される溝配線のディッシングを防止できる。

【0017】上記の本発明の第2の構成においては、前記第1および第2の配線溝に熱処理により硬度が低下した前記第1の銅めっき膜と熱処理なしの前記第2の銅めっき膜の多層膜からなる導電体膜パターンを前記第1の配線溝および前記第2の配線溝に選択的に表面から突出してパターニングした後、CMP研磨するために、前記第2の配線溝の溝配線のCMP研磨によるディッシング防止と前記第1の配線溝の溝配線のエロージョン防止ができる。

【0018】なお、上記の本発明の第1および第2の構成の半導体装置の配線形成方法においては、溝配線表面にSiN等の第2のバリア膜を形成することにより耐エレクトロマイグレーション性を向上することができる。

【0019】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0020】図1は本発明の半導体装置の配線形成方法の第1の実施の形態を説明するための工程順に示した基板要部の断面図である。まず、図1(a)のように、あらかじめ素子(図示せず)が形成された半導体基板1上に二酸化シリコン(SiO_2)膜等の絶縁膜2を形成した後、絶縁膜2に、露光・異方性ドライエッチング法(化学増幅型レジストをマスクとして $\text{CF}_4/\text{O}_2/\text{Ar}$ の混合ガスのプラズマガスを使用してエッチング)により小幅配線溝3(溝幅/スペース=0.5 μm /0.5 μm 、深さ0.5 μm)と広幅配線溝5(例えば、幅10 μm 、深さ0.5 μm)を形成する。

【0021】次に、 Ta 、 Ta_2N_5 、 $\text{Ta}/\text{Ta}_2\text{N}_5$ 積層膜(Ta_2N_5 が下層)やTiN等のバリアメタル膜6a(第1のバリア膜)をスパッタ法で例えば50nmの膜厚で形成した後、連続してめっきシード膜(表示していない)を例えば100nmの膜厚に形成する。めっきシード膜は、バリアメタル膜6a上に電気めっきしやすくするために使用され、Cu、Ag、Au等の熱処理により再結晶化して硬度が下がる金属が使用される。

【0022】この上に硫酸銅めっき液を使用して電気めっきし、~~第1の銅めっき膜7aを~~例えば250nmの膜厚に堆積する(図1(b))。硫酸銅めっき液としては、硫酸銅($\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$):100~200g/l、硫酸(H_2SO_4):50~100g/l、塩化ナトリウム(NaCl):50~100mg/lに有機添加剤を添加しためっき液が使用でき、液温20~30℃

でカソード電流密度5~20mA/cm²の条件でめっきされる。例えば電流密度10mA/cm²でめっきした場合には、平均で1分間当たり220nmの厚さで銅めっきされる。

【0023】次に、第1の銅めっき膜7aを窒素等の不活性ガス雰囲気中または真空中で温度120℃以上で所定の時間熱処理する。例えば120℃では約30分の加熱時間である。熱処理手段としては赤外線ランプやレーザー光等が使用される。この熱処理により、第1の銅めっき膜7aは再結晶化して硬度が減少する。

【0024】次に、図1(c)のように、第1の銅めっき膜7aと同じめっき液を使用して第2の銅めっき膜7bを例えば500nmの膜厚に堆積した。

【0025】続いて、CMP研磨法によりバリアメタル膜6aが露出するまで研磨する(図1(d))。第2の銅めっき膜7bはめっき後、熱処理を施していないために、その硬度は第1の銅めっき膜7aより大きく、CMP研磨速度は第1の銅めっき膜7aよりも小さい。そのために、図1(d)のように、広幅配線溝5上の第2の銅めっき膜7bは凸面形状となる。

【0026】次いで、CMP研磨により表面のバリアメタル膜6aを除去し、図2のような溝配線8a、9aが形成される。広幅配線溝5上の第2の銅めっき膜7bは凸面形状になっているために、広幅配線溝5に形成された溝配線9aのCMP研磨におけるディッシングを抑制することができる。

【0027】なお、上記の第1の実施の形態におけるCMP研磨剤としては、通常の研磨剤(例えば、アルミナ:5wt%、酸化剤:1wt%、有機酸:1wt%を水溶液)が使用できる。

【0028】次に、本発明の第2の実施の形態について図面を参照して説明する。

【0029】図3は、本発明の半導体装置の製造方法の第2の実施の形態を説明するための工程順に示した基板要部の断面図である。

【0030】本実施の形態では、上記の第1の実施の形態において、第2の銅めっき膜形成後、エッチングにより配線溝の銅めっき膜をパターニングし、続いてCMP研磨して表面を平坦化して溝配線を形成する場合である。本実施の形態では、小幅配線溝部に銅めっき膜を凸面状に形成することによって、上記の第1の実施の形態と同様な広幅溝配線のCMP研磨によるディッシング現象発生抑制の他に、小幅溝配線のエロージョン現象発生を抑制できる効果がある。

【0031】まず、まず、図3(a)のように、上記の第1の実施の形態と同様な工程により、半導体基板1上に二酸化シリコン(SiO_2)膜のような絶縁膜2を形成した後、絶縁膜2に、露光・異方性ドライエッチング法により小幅配線溝3(溝幅/スペース=0.5 μm /0.5 μm 、深さ0.5 μm)と広幅配線溝5(例え

ば、幅 $10\mu\text{m}$ 、深さ $0.5\mu\text{m}$)を形成する。

【0032】次に、Ta、Ta₂N、Ta/Ta₂N積層膜(Ta₂Nが下層)やTiN等のバリアメタル膜6a(第1のバリア膜)をスパッタ法で例えば50nmの膜厚で形成した後、連続してCu、Ag、Au等の金属からなるめっきシード膜(表示していない)を例えば100nmの膜厚に形成する。

【0033】この上に硫酸銅めっき液を使用して電気めっきし、第1の銅めっき膜7aを例えば250nmの膜厚に堆積する(図3(b))。硫酸銅めっき液としては、上記の第1の実施の形態と同様な硫酸銅の硫酸酸性浴が使用される。また、めっき条件も上記の第1の実施の形態と同様である。

【0034】次に、第1の銅めっき膜7aを窒素等の不活性ガス雰囲気中または真空中で温度 120°C 以上で所定の時間熱処理する。この熱処理により、第1の銅めっき膜7aは再結晶化して硬度が減少する。熱処理手段としては赤外線ランプやレーザ光等が使用される。

【0035】次に、図3(c)のように、第1の銅めっき膜7aと同じめっき液を使用して第2の銅めっき膜7bを例えば500nmの膜厚に堆積した。

【0036】次に、フォトリソグラフィ技術により、溝配線形成領域以外の銅めっき膜(含シード膜)を除去し、図3(d)のように、小幅配線溝3および広幅配線溝5部に表面に凸面状の銅めっき膜のパターンを形成する。パターンニング方法としては、ウェットエッチング法が使用できる。

【0037】続いて、CMP研磨法によりバリアメタル膜6aが除去され、絶縁膜2の表面が露出するまで研磨し、図4のような溝配線8b、9bが形成される。広幅配線溝5上の第2の銅めっき膜7bは凸面形状になっているために、広幅配線溝5に形成された溝配線9bのCMP研磨におけるディッシングを抑制することができ、また、小幅溝配線(溝配線8b)のエロージョンも抑制できる。

【0038】なお、上記の第1および第2の実施の形態において、溝配線8a、8b、9a、9b形成後にこれらの配線表面にSiN等の第2のバリア膜を形成することによりこれらの溝配線の耐エレクトロマイグレーション

性を向上することができる。

【0039】

【発明の効果】以上説明したように、本発明の半導体装置の配線形成方法では次の効果が得られる。

(1) 広幅配線溝の銅めっき膜を硬度が小さい膜(下層)と硬度が大きい膜(上層)の多層膜構造としてCMP研磨するために、広幅溝配線中央部領域のめっき膜のディッシングを抑制できる。

(2) 半導体基板上の絶縁膜表面の広幅配線と小幅配線(配線密度が大きい)が存在する場合には、銅めっき膜を硬度が小さい膜(下層)と硬度が大きい膜(上層)の多層膜を形成した後、配線溝上に凸面状の銅めっき膜パターンを形成してCMP研磨するために、広幅配線のディッシングと小幅配線のエロージョンを抑制できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の第1の実施の形態を説明するための工程順に示した基板要部の断面図である。

【図2】図1(d)の工程に続くCMP研磨によって形成された溝配線の断面図である。

【図3】本発明の半導体装置の製造方法の第2の実施の形態を説明するための工程順に示した基板要部の断面図である。

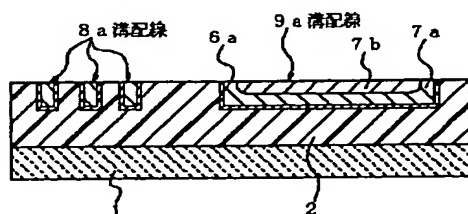
【図4】図1(d)の工程に続くCMP研磨によって形成された溝配線の断面図である。

【図5】従来の溝配線を有する半導体装置の製造方法を説明するための工程順に示した基板要部の断面図である。

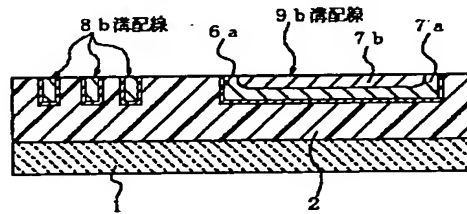
【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 小幅配線溝
- 5 広幅配線溝
- 6 TiN膜
- 6a バリアメタル膜
- 7 銅膜
- 7a 第1の銅めっき膜
- 7b 第2の銅めっき膜
- 8, 9, 8a, 8b, 9a, 9b 溝配線

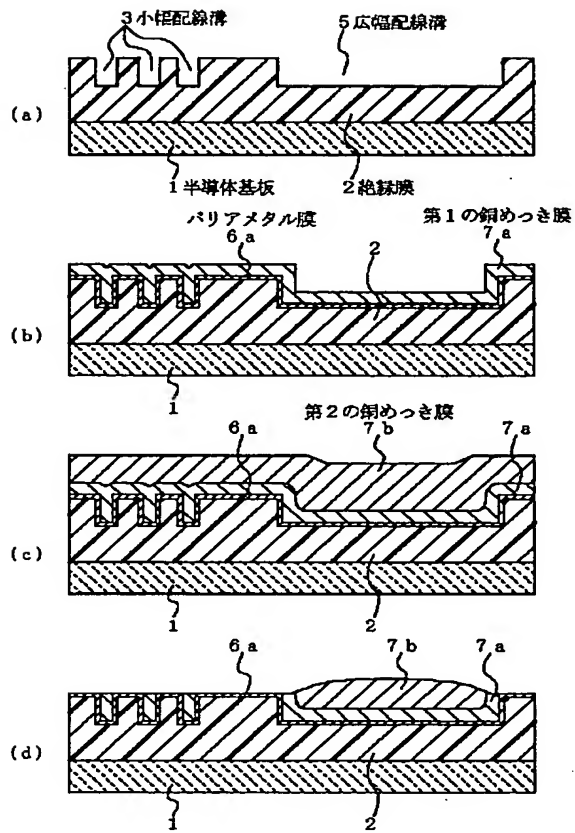
【図2】



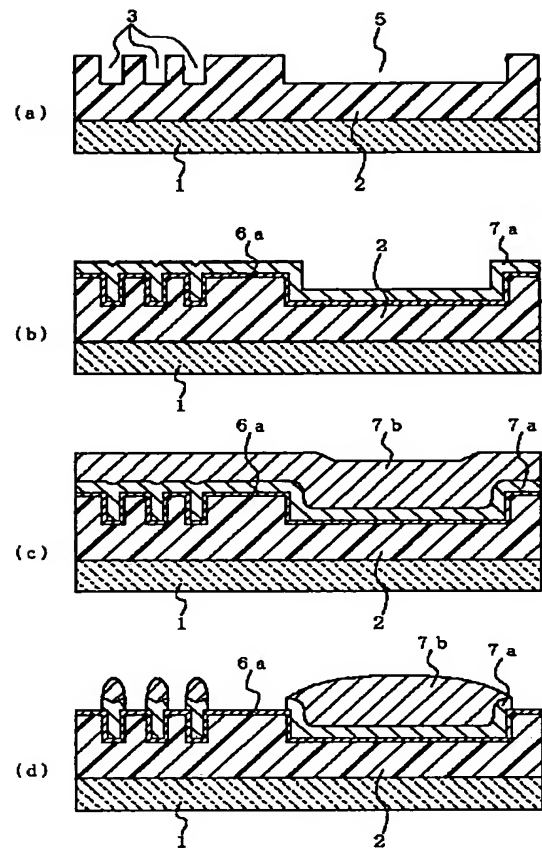
【図4】



【図1】



【図3】



【図5】

